

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10189578 A**(43) Date of publication of application: **21.07.98**

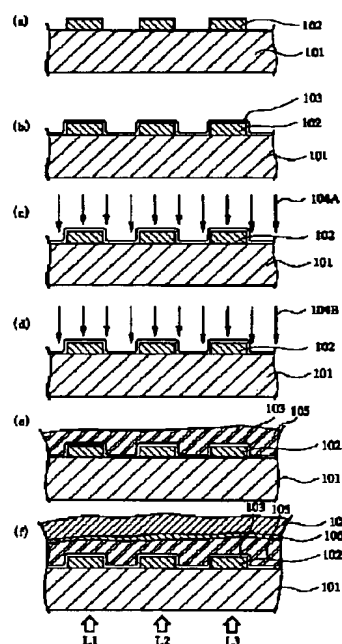
(51) Int. Cl.

H01L 21/316**H01L 21/314**(21) Application number: **08340283**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **20.12.96**(72) Inventor: **KUBO MAKOTO****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To keep an upper wiring free from a resistance change and a short circuit so as to protect a lower wiring against corrosion and resistance change by a method wherein a base insulating film is formed, subjected to an N_2O gas plasma treatment, and successively undergoes an O_2 gas plasma treatment.

SOLUTION: A lower wiring 102 is formed on a semiconductor substrate 101 by lithography and etching. A base film (first interlayer insulating film) 103 of SiN is formed on the lower wiring 102 by a plasma CVD method. The base film 103 is subjected to an N_2O plasma treatment 104A and then an O_2 plasma treatment 104B. A reflow SiO_2 105 is formed on the lower wiring 102. A cap insulating film (third interlayer insulating film) 106 of SiO is formed thereon by a plasma CVD method and then subjected to furnace annealing. An upper wiring material is deposited by sputtering and patterned into an upper wiring 107 by lithography and etching.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 189578

(43) 公開日 平成 10 年 (1998) 7 月 21 日

(51) Int. Cl. ⁶

H01L 21/316

識別記号

庁内整理番号

F I

H01L 21/316

技術表示箇所

P

M

A

21/314

21/314

審査請求 未請求 請求項の数 12 O L (全 9 頁)

(21) 出願番号 特願平 8 - 340283

(22) 出願日 平成 8 年 (1996) 12 月 20 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 久保 誠

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

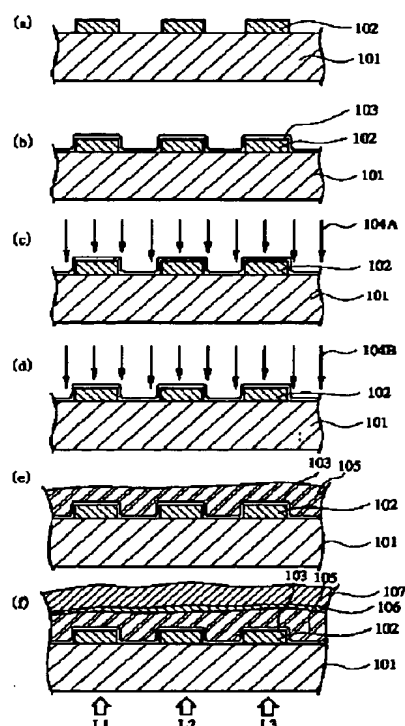
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 上記の様に、従来の層間絶縁膜による平坦化に際して、ベース絶縁膜（第一の層間絶縁膜）が上層の平坦化膜（第二の層間絶縁膜）に対するリフロー性（濡れ性）として満足すべき特性を有していない為、上層の平坦化膜の平坦度及び表面モフォロジーが悪化するという問題点が、また水分に対するブロック性に関し満足すべき特性を有していない為、下層配線の抵抗変化やコロージョン発生或いは素子のホットキャリア信頼性の問題があった。本発明ではこれらの問題を改善する新規なベース膜形成方法を提供するものである。

【解決手段】 半導体基板上に形成された素子や配線を被膜する平坦化膜の下層であるベース絶縁膜（第一の層間絶縁膜）の成膜後に N₂ O ガスによるプラズマ処理を施し、引き続いて O₂ ガスによるプラズマ処理を施す。



【特許請求の範囲】

【請求項 1】半導体基板上に、第一の絶縁膜を堆積する工程と、この第一の絶縁膜表面を N_2O ガスによりプラズマ処理を施す工程と、これに引き続き O_2 ガスによりプラズマ処理を施す工程と、これらのプラズマ処理後に第二の絶縁膜を堆積する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 2】前記第一の絶縁膜は酸化窒化シリコン膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】前記第一の絶縁膜は窒化シリコン膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】前記第一の絶縁膜はアモルファスカーボン水素膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】前記第一の絶縁膜はアモルファスカーボンフッ素膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】前記第一の絶縁膜はアモルファスシリコン膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】前記第一の絶縁膜は表面が親水性であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】前記 N_2O ガスによるプラズマ処理及び O_2 ガスによるプラズマ処理時間は各々 25 秒以下であることを特徴とする請求項 2 乃至 3 記載の半導体装置の製造方法。

【請求項 9】前記第二の絶縁膜は SiH_4 ガスと H_2O と N_2 ガスとを主たる反応材料として堆積されることを特徴とする請求項 1 乃至 8 記載の半導体装置の製造方法。

【請求項 10】前記第二絶縁膜は基板温度が $-10^\circ C$ 以上 $10^\circ C$ 以下の範囲内で堆積されることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】前記プラズマ処理を施す工程と前記第二の絶縁膜を堆積する工程の間に前記半導体基板を大気に放置する工程を含むことを特徴とする請求項 1 乃至 10 記載の半導体装置の製造方法。

【請求項 12】第一の絶縁膜を堆積する工程の前に、前記半導体基板上に絶縁膜を被膜しその上に配線を形成する工程を少なくとも 1 工程以上含む事を特徴とする請求項 1 乃至 11 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に多層配線構造における層間絶縁膜の形成方法に関する。

【0002】

【従来の技術】半導体集積回路において、集積度を上げ

る為の手段として微細化とともに配線材料を多層にわたって形成するいわゆる多層配線化が進んで来ている。この様な多層配線構造を有する集積回路の製造工程は近年、複雑化・長工程化してきており、製品の歩留り低下や製造コスト増加等の問題の大きな要因として問題視されている。特に多層配線形成工程が集積回路の製造価格に占有する割合は大きく、コストダウンを図る上で多層配線工程のコスト低減化の要求が高まって来ている。従来の多層配線形成工程に於いては、下層配線材料を堆積後リソグラフィ及びエッチングにより下層配線パターン形成後に層間絶縁膜を被膜する。この段階では、上記層間絶縁膜の表面には下層配線層のパターン等に起因した段差が存在し、この状態でプロセスが進行すると、上層配線のパターン形成時にリソグラフィの焦点深度余裕が無い等の原因で、段差下でレジストが太りエッチング後に上層配線のショートが発生したり、或いは段差上でレジストが細りエッチング後に上層配線の断線不良をもたらす等の問題があった。そこで最近では通常、上層配線を堆積する前にその下地となる第一の層間絶縁膜の表面をレジストエッチバック法やCMP (Chemical Mechanical Polishing) 法等で平坦化して段差を緩和した後、第二の層間絶縁膜を形成している。しかし、この方法によると、1 回目の成膜、平坦化、2 回目の成膜と工程数が多く、上記の様な多層配線工程の工程削減の要求には十分応える事が出来なかった。

【0003】ところで、層間絶縁膜の平坦化技術の一つとしてAPL (Advanced Planarizing interlayer-dielectric) プロセスが報告されている (文献; Matsuura et al., IEEE Tech. Dig., P117, 1994)。図 8 に従来の APL プロセスの工程の一例を示す。図中、801 は半導体基板、802 は下層配線、803 はベース絶縁膜 (第一の層間絶縁膜)、804 は N_2O プラズマ処理若しくは O_2 プラズマ処理、805 はリフロー SiO_2 膜 (第二の層間絶縁膜)、806 はキャップ絶縁膜 (第三の層間絶縁膜)、807 は上層配線を示す。図 8 (a) はリソグラフィ及びエッチングにより半導体基板 801 上に下層配線 802 を形成したものである。次に、図 8 (b) に示す様に下層配線 802 上に通常のプラズマ CVD 法によりベース膜 (第一の層間絶縁膜) 803 を形成する。次に図 8 (c) に示す様に、ベース膜 803 表面に対して N_2O プラズマ処理若しくは O_2 プラズマ処理 804 を施す。しかる後に、図 8 (d) に示す様に SiH_4 ガスと、酸化剤として H_2O (過酸化水素水) を低温 (例えば $0^\circ C$)、真空中で反応させることにより、下層配線上に平坦化膜として自己流動性 (リフロー性) の SiO_2 膜 (以下リフロー SiO_2 膜という) を形成する。次に図 8 (e) の様にプラズマ CVD 法によりキャップ絶縁膜 (第三の層間絶縁膜) 806 を形成した後、ファーンレスアニールを行う。その後、スパッタにより上層配線材料を被膜し、リソグラフィ及びエッチングによ

り上層配線 807 を形成する。ここに述べた APL プロセスは、自己流動性の酸化膜のリフロー性により平坦化を試みるものである。この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成でき、1 回の成膜には平坦化工程が含まれる為、多層配線の工程削減ひいてはコスト削減の要求に十分応えることが出来る。

【0004】ところが、従来の APL プロセス技術においては、以下に述べる様な問題点を有していた。この APL プロセス技術では、リフロー SiO₂ 膜中の水分を上記のファーンズアニールで膜外へ脱離させる事が必須である。水分脱離が不十分な場合は、残存水分が、下層配線に対しては配線抵抗の変化やコロージョン発生等の影響を、また素子自体に対してはホットキャリア信頼性耐性劣化等の悪影響を及ぼすことが知られている。次に、膜外への脱離方向を下方・上方にわけて考察する。下方に水分が拡散した場合は下層配線や素子に重大な影響を及ぼすが、その反面上方には何も構造体が存在していない為、膜中水分が全て上方に拡散した場合はデバイスに対する悪影響は何ら考えなくて良い。従って、上に示した様な APL 膜構造に鑑みると、リフロー SiO₂ 膜の直下にあるベース膜こそが水分下方拡散に対するブロックの役割を担っており、このブロック性の良否が極めて重要な問題となる。この様な水分のブロック性を考慮して、ベース膜としてはプラズマ CVD で成膜されるプラズマ SiON 膜またはプラズマ SiN 膜の適用が検討されている。しかしながら、これらの従来のベース膜には以下の様な問題がある。まずプラズマ SiON 膜に関しては、肝心の水分ブロック性が満足するレベルに達しているとは言えない。具体的には下層配線の抵抗変化やコロージョン発生或いは素子のホットキャリア信頼性劣化に代表される悪影響が顕在化している。そもそもプラズマ SiON 膜は、膜密度等の物性面に鑑みると水分拡散ブロック能力に対して過大な期待は持てず、膜自身の水分ブロッキング能力レベルの向上が必要である。一方プラズマ SiN 膜では、逆に膜密度等の物性面に鑑みると水分拡散ブロック能力は絶縁膜の中では優秀であり、実際に APL プロセスにおけるベース膜に用いた場合でもデバイスの悪影響を軽減するという見地からは良好な結果が得られている。しかし、以下の様な問題点も同時に有している。その一つとして、プラズマ SiN は NH₃ ガスを用いて成膜されていることに起因して膜中や膜表面には [-NH₂] [-NH] 基が多数存在していることである。これらの [-NH₂] [-NH] 基は直上の平坦化膜のリフロー性を損なうことが知られており、実際にベース膜にプラズマ SiN 膜を採用した場合にはリフロー SiO₂ 膜の平坦度及び表面モフォロジーが悪化する。ここで、表面モフォロジーとは被膜後の表面の微小な起伏の事を言う。この様に平坦度が悪化すると、図 8 (e) におけるリフロー SiO₂ 膜 805 の被

膜後の起伏の影響で、上層配線 807 のリソグラフィ及びエッチング後には段差上 (L1, L2, L3) における上層配線が細り、逆に段差下における上層配線が太る。図 9 に上記にて説明した図 8 (e) の上面図を示す。この様に上層配線 907 が、段差上部である L1, L2, L3 部では細くなり、段差下部では上層配線 907 が太くなっているのが分かる。この現象は上層配線 907 の抵抗変化に悪影響を与える事は言うまでもないが、極端な場合には図 9 に示した様にショート不良を引き起こす。

【0005】次に、平坦度及び表面モフォロジーを劣化させる他の作用について説明する。プラズマ SiON 膜及びプラズマ SiN 膜は成膜される時プラズマチャンバー内の側壁部にも膜が付着する。この膜は一定膜厚になると CF₄ ガスと O₂ ガスを用いて除去するといった、いわゆるドライクリーニングが行われる。しかし、プラズマ SiN 膜は膜の緻密度が高い為、プラズマ SiON 膜と比べてドライクリーニング時の膜の除去性が悪く、成膜を繰り返す毎に膜の除去がより困難になる為、除去不可能な膜が積層される。そして、その積層膜の堆積度に比例してリフロー SiO₂ 膜のリフロー性が著しく悪化するといった現象が最近明らかになった。この悪影響は、プラズマ SiN 膜だけでなく同一チャンバーで成膜されるプラズマ SiON 膜にも及び、プラズマ SiN 膜よりも平坦性に優れたプラズマ SiON 膜適用時にも同様に APL リフロー SiO₂ 膜の表面モフォロジーを悪化させることも明らかになった。これは、成膜が平坦化工程を含むことにより工程削減が達成出来るという点にその価値を見出している APL プロセスにとって問題である。このことから、上記ベース膜のリフロー性を向上する必要がある。上記の様に、従来 APL のベース膜として用いられていた膜には各々上記の様な問題点が顕在化していた。つまり、プラズマ SiON 膜についての主たる問題は水分に対するブロック性が劣るという性質から下層配線抵抗の変化やコロージョン発生或いは素子のホットキャリア信頼性の劣化といった、またプラズマ SiN 膜についての主たる問題は [-NH₂] [-NH] がリフロー性を損なう事から平坦度及び表面モフォロジーが悪化するという点が顕在化しており、各々改善の余地を抱えていた。

【0006】尚、プラズマ SiON 膜及びプラズマ SiN 膜を例に主な問題点を記述したが、上記問題点はこれに限らず、絶縁膜を多層の層間絶縁膜のベース膜つまり平坦化層の下層膜として適用する場合に常に発生する問題である。

【0007】

【発明が解決しようとする課題】上記の様に、従来の層間絶縁膜による平坦化において、ベース絶縁膜（第一の層間絶縁膜）が上層の平坦化膜（第二の層間絶縁膜）に対するリフロー性（濡れ性）及び水分に対するブロック

性に関し満足すべき特性を有していない為、前者に対しては上層の平坦化膜の平坦度及び表面モフォロジーが悪化するという問題点が、また後者に対しては下層配線の抵抗変化やコロージョン発生或いは素子のホットキャリア信頼性の問題があった。本発明ではこれらの問題を改善する新規なベース膜形成方法を提供するものである。

【0008】

【課題を解決するための手段】本発明は上記問題を解決すべくなされたもので、半導体基板上に形成された素子や配線を被膜する平坦化膜の下層であるベース絶縁膜

(第一の層間絶縁膜)の成膜後にN₂Oガスによるプラズマ処理を施し、引き続いてO₂ガスによるプラズマ処理を施すものである。

【0009】

【発明の実施の形態】以下、図1乃至6を参照して、本発明に係る半導体装置の製造方法の実施例を詳細に説明する。

〈発明の実施の形態1〉図1は、本発明に係る半導体装置の製造方法における工程の一例を示したものである。図中、101は半導体基板、102は下層配線、103はベース絶縁膜(第一の層間絶縁膜)、104AはN₂Oプラズマ処理、104BはO₂プラズマ処理、105はリフローSiO₂膜(第二の層間絶縁膜)、106はキャップ絶縁膜(第三の層間絶縁膜)、107は上層配線を示す。図1(a)はリソグラフィ及びエッチングにより半導体基板101上に下層配線102を形成したものである。この状態の基板に対し、図1(b)に示す様に下層配線102上に通常のプラズマCVD法によりベース膜(第一の層間絶縁膜)103として150nm厚のプラズマSiNを形成する。次に図1(c)に示す様に、ベース膜103表面に対してN₂Oプラズマ処理104Aを施す。次に図1(d)に示す様に、O₂プラズマ処理104Bを施す。しかる後に、図1(e)に示す様に下層配線の上に800nmのリフローSiO₂105を形成するものである。次に図1(f)の様にプラズマCVD法によりキャップ絶縁膜(第三の層間絶縁膜)106として300nmのプラズマSiO₂を形成した後にファーンズアニールを行う。その後、スパッタにより上層配線材料を被膜し、リソグラフィ及びエッチングにより上層配線107を形成する。

【0010】以下、上記各処理に関し、処理装置に関する条件の記述とともに説明する。図3は、本発明に係る半導体装置の製造方法における製造装置の一例を示したもので、(a)は装置構成の概略図で、(b)はプラズマ反応室、(c)は減圧の熱CVD(Chemical Vapor Deposition; 化学気相成長法)処理室である。図中、301は半導体基板、302はプラズマ反応室、303はウエハ搬送ロボットアーム、304はサセプタ、305はガス導入口、306はロードロック室、307は減圧熱CVD処理室、308はH₂O導入口、309は排

出口、310は上部電極(シャワーヘッド)、311は下部電極、312はRF源を示す。まず、上記図1

(a)の状態の半導体基板301は、図3(b)の真空中に排気されたプラズマ反応室302内にウエハ搬送ロボットアーム303により搬送され、300℃に設定されたサセプタ304上に設置される。そして図1(b)に示したベース膜(第一の層間絶縁膜)103としてプラズマSiNを、ガス導入口305よりガス(流量は各々SiH₄ 150cc, N₂O 3500cc, NH₃ 150cc, N₂ 1500cc)を導入し、圧力665Pa, RFパワー100Wの条件で放電させる事により成膜する。続いて半導体基板301を同一サセプタ304上に常温で保持したままガス種を切り替える。まずN₂O 2500cc, 圧力665Pa, RFパワー500W(パワー密度0.241W/cm²)の条件で15秒間のN₂Oプラズマ処理を施す。次にガス種を再度切り替え、O₂ 1000cc, 圧力665Pa, RFパワー100W(パワー密度0.241W/cm²)の条件で15秒間のO₂プラズマ処理を施す。次に、背圧の真空度を保持したまま、半導体基板301をプラズマ反応室302外に搬出してロードロック室306内に移送する。続いて半導体基板301を図3(c)の減圧熱CVD処理室307内に搬入して0℃に保持されたサセプタ304上に設置する。次にN₂、雰囲気下でサセプタ304上で半導体基板301を保持する事により、先のプラズマSiN膜の成膜後、O₂プラズマ処理の余熱が放出される。この処理により、半導体基板表面温度は次のリフロー工程において安定したリフロー特性が得られる温度領域まで降下する。次に実際のAPL成膜ガス系であるSiH₄+N₂ガスをガス導入口305より、またH₂OをH₂O導入口308より導入してSiH₄流量安定化段階に移行する。この時の条件は、SiH₄ 10cc, H₂O 0.65g/min, N₂ 500cc, 温度0℃, 圧力665Pa, 時間10秒である。これに続いてSiH₄のみ120ccに増量してリフローSiO₂の成膜が開始され、800nm成膜終了後に、すべての導入ガスは排出口309より排出されて減圧熱CVD処理室304は背圧の真空度と同じにされる。次に半導体基板301は減圧熱CVD処理室307から搬出されてロードロック室306を経由して再度プラズマ反応室302へ搬入され、プラズマCVD法でキャップ絶縁膜であるプラズマSiO₂膜(図1の106)を成膜する。この時の温度及び圧力条件は前記ベース絶縁膜であるプラズマSiN膜の成膜時と同じ300℃, 圧力665Paであり、他の条件はSiH₄ 100cc, N₂O 2000cc, N₂ 1000cc, RFパワー500Wである。次に、別置きのの炉アニール装置で最終の熱処理を450℃, 30分行う。

【0011】以上、ベース絶縁膜(第一の層間絶縁膜)としてプラズマSiN膜を使用した場合のプロセスにつ

いて説明したが、他の膜を使用した場合の成膜処理条件を以下に示す。まず酸化窒化シリコン膜の場合は、 SiH_4 150cc, N_2O 3500cc, N_2 1500cc, 圧力1100Pa, RFパワー100Wである。アモルファスSiの場合は、 SiH_4 150cc, N_2 500cc, H_2 3000cc, 圧力1100Pa, RFパワー100Wである。アモルファスカーボン水素の場合は、 CH_4 40cc, CF_4 100cc, C_2F_4 100cc, 圧力50Pa, RFパワー1.5kWである。アモルファスカーボンフッ素の場合は、 C_2F_4 100cc, CH_4 100cc, H_2 100cc, 圧力50Pa, RFパワー1.5kWである。

〈発明の実施の形態2〉次に、本発明に係る半導体装置の製造方法の別の実施例を詳細に説明する。上記発明の実施の形態1と異なる点は、ベース絶縁膜としてプラズマSiNを形成して N_2O プラズマ処理及び O_2 プラズマ処理を施した後、半導体基板101を一度大気に開放する事である。つまり、図1(d)において O_2 プラズマ処理を施した後、ロードロック室306の真空を大気圧状態にし、半導体基板301を大気に開放する。続いて半導体基板301を図3(c)の減圧熱CVD処理室307内に搬入して0℃に保持されたサセプタ304上に設置する。次に N_2 雰囲気下でサセプタ304上で半導体基板301を保持する事により、先のプラズマSiN膜の成膜～ O_2 プラズマ処理の余熱が放出される。この処理により、半導体基板表面温度は次のリフロー工程において安定したリフロー特性が得られる温度領域まで降下する。以降、上記〈発明の実施の形態1〉と同様、リフローSiO₂膜、キャップ絶縁膜の成膜後、最終の熱処理を行うものである。

【0012】以下に、上記2つの〈発明の実施の形態〉に関する作用効果について説明する。まず、上記 N_2O プラズマ及び O_2 プラズマによる各処理を15秒とした理由を説明する。リフローSiO₂膜の平坦性は、リフローSiO₂膜の反応中間生成物である $\text{Si}(\text{OH})_3$ に対する下地ベース絶縁膜表面の濡れ性(wettability)に支配されていると理解されている。即ち親水性基として代表的な $\text{Si}(\text{OH})_3$ に対して良好な濡れ性を確保する為には、下地ベース絶縁膜表面がやはり親水性を呈する事が好ましい。図4にプラズマ処理時間と接触角の関係を示す。これは、親水性評価として、純水をベース絶縁膜表面に滴下した際の液滴の接触角評価を実施した結果であり、一般的に接触角が小さい程良好な親水性を呈していると言えるが、図4から明らかな様に、 N_2O 、 O_2 ともにプラズマ処理時間が25秒以下の条件範囲にて低い接触角を呈する事が分かる。

【0013】次に、上記リフローSiO₂膜の成膜時の温度条件を0℃とした理由を説明する。上記と同じ理由で、リフローSiO₂膜の平坦性を良くするには、リフ

ローSiO₂膜の反応中間生成物である $\text{Si}(\text{OH})_3$ に対する下地ベース絶縁膜表面の濡れ性を高める必要がある。図5は、リフローSiO₂膜の成膜時の温度と接触角の関係を示したものである。上記例では成膜時の温度を0℃としたが、図より、フロー限界点を許容限界とすると、成膜時に必要とされる温度は-10℃以上10℃以下であることが分かる。

【0014】次に、 N_2O プラズマ処理及び O_2 プラズマ処理の作用効果について説明する。上記の様に、本発明ではベース絶縁膜であるプラズマSiON膜やプラズマSiN膜に対して主として次の様な特性を示す。まず、プラズマSiON膜に対しては N_2O プラズマ処理中に発生した N_2 、 O 、 NO 、 N イオンの内、主に質量数の大きな N_2 イオンによりベース絶縁膜であるプラズマSiON膜表面にイオン衝撃効果が起こる。このイオン衝撃効果により膜表面が緻密化(densify)されることにより表面に硬化層が形成され、結果的にプラズマSiONベース絶縁膜の水分ブロック能力の向上効果をもたらす。さらに上記イオン種の中で、質量数の小さい N は、他のイオン種に比べると相対的に高い運動エネルギーを受け取ることになるので、 N 自身が優先的にベース絶縁膜プラズマSiON膜の極表面層に注入される。この極表面層において N を組成として含んだSiON膜化が起こっている事も、上記ブロック能力向上に貢献していると考えられる。この事は、一般的に水分ブロック性はプラズマSiO膜よりもプラズマSiON膜が優れている事により解釈が得られる。次にベース絶縁膜としてプラズマSiN膜を適用した場合、SiON膜とは異なり水分ブロック性としては十分な能力を有している。この事は、TDS(Thermal Desorption Spectroscopy)分析により得られるファーンズアニール後の膜中水分がプラズマSiONの約3%であり、ブロック能力が2倍近い値を示していることで実証されている。しかし、その反面成膜ガス種に起因して膜表面に $[-\text{NH}_2]$ 、 $[-\text{NH}]$ 基等が存在し、これらの基により直上のリフローSiO₂膜の平坦性及び表面モフォロジーが妨げられる問題点がある。これらの基はプラズマSiN膜の場合は成膜時に排除することは非常に困難である為、成膜後に何等かの解決策を施す必要がある。本発明においては、上記の様に、 N_2O プラズマ処理に引き続いて O_2 プラズマ処理を連続で施すものであり、プラズマ電力密度(0.241~2.410[W/cm²])及びガス圧力(13.3~665[Pa])の条件を同時に満たす範囲内で実施するものである。 N_2 プラズマ処理や O_2 プラズマ処理時に発生した O イオンやラジカルは $[-\text{NH}_2]$ 、 $[-\text{NH}]$ 基にアタックして酸化効果をもたらす事はFT-IR分析で裏付けられており、この効果によって上記連続処理後には直後のAPL成膜時の平坦性悪化が抑制される。分析結果によると、 N_2O 単独処理プラズマ或いは O_2 単独処理プラズマの場合でも酸化効果は

あるが、実際のリフロー SiO₂ 膜の平坦性は確保されない事が確認されている。唯一 N₂ O プラズマ処理に引き続いて O₂ プラズマ処理を上記プラズマ電力密度 (0.241 ~ 2.410 [W/cm²]) 及びガス圧力 (13.3 ~ 665 [Pa]) の条件範囲で連続処理した場合に、リフロー SiO₂ 膜での平坦性が確保される事が確認された。この現象については以下の様な事が言える。つまり、プラズマ SiON 膜やプラズマ SiN 膜では膜中にも N 分子が存在するが膜表面にも存在している。この表面に対し N₂ O ガスでプラズマ表面処理を施すことで、質量数の大きな N₂ O イオンが膜表面の N 分子と共有され、N₂ O プラズマ表面処理後では、逆に O 分子が膜表面に存在する様になるが、膜表面には未だ N 分子が存在する為完全な O 分子ではない。次に O₂ プラズマ表面処理を施す事によって、膜表面が初めて完全な O の高分子となる。このプラズマ表面処理後の状態でリフロー SiO₂ 膜を形成する際に、SiH₄ ガスと H₂O₂ が反応して Si(OH)₄ が形成されると、膜の表面が O の高分子である為、始めにこれと共有される。そして、その効果により Si(OH)₄ がよりよく流動される為、リフロー SiO₂ 膜の平坦性及び表面モフォロジーが格段に良くなる。この効果は、N₂ O 或いは O₂ のプラズマ単独処理の場合や上記とは逆の O₂ プラズマ処理に引き続いて N₂ O プラズマ処理を施す場合には得られない。

【0015】上記の様に、本発明によればベース絶縁膜上の絶縁膜の平坦性を向上する事が可能であり、その結果上層配線におけるショート不良率を低減する事が可能となる。図 2 に、上記にて説明した図 1 (f) の上面図を示す。この様に、図 9 の従来例の場合に上層配線 907 が、段差上部である L1, L2, L3 部では細く段差下部では太くなり、極端な場合にショート不良を引き起こしていたものが、図 2 に示す様に上層配線 207 の幅の段差上下部における変化が極端に少なくなっているのが分かる。上層配線におけるショート不良率には、リフロー SiO₂ 膜の平坦性が反映される。即ちリフロー SiO₂ 膜の平坦性が良好な場合にはショート不良率は極めて低い値を示し、逆にリフロー SiO₂ 膜の平坦性が悪化した場合にはショート不良率は増大する。図 6 に 2 層配線構造における上層配線のショート不良率の電気的特性評価結果を Al 配線のテストパターンの例により示す。上層配線におけるショート不良率には、リフロー SiO₂ 膜の平坦性が反映される事を利用して上記条件下、つまりプラズマ SiN 膜を 150 nm 成膜し、引き続き同一サセプタ上に常温で保持したままプラズマ処理を施した後、リフロー SiO₂ 膜を 800 nm 成膜し、さらにキャップ絶縁膜としてプラズマ SiON 膜を 300 nm 成膜してから、別置きの炉アニール装置で最終の熱処理を 450℃、30 分行ったもので実験したものである。この際、N₂ O プラズマ処理と O₂ プラズマ処

理について、図示した様に各々実施したものと実施しないものを作成した。図 6 から N₂ O プラズマ処理または O₂ プラズマ処理のどちらかを行ったものに比べ、N₂ O プラズマ処理に引き続き O₂ プラズマ処理を連続処理したものは、Al 配線ショート率が 1/4 ~ 1/5 に低減していることが分かる。また、上記発明の実施の形態 2 の場合の様に、プラズマ連続処理後に大気に放置されたものは、さらに低減している。これは、大気に放置することでベース絶縁膜表面の親水性化がさらに進むことで濡れ性が向上し、良好な平坦度が得られた為と考えられる。

【0016】また、本発明によればベース絶縁膜上の絶縁膜の表面モフォロジー (被膜後の表面の微小な起伏) を良好にする事が出来る。これは表面段差計にて表面の起伏を測定した結果が、図 6 の「O₂ プラズマ処理あり」つまり従来例における条件で 2.3 μm であったものが「N₂ O + O₂ プラズマ処理」つまり本発明における条件で 0.03 μm と格段に表面モフォロジーが良くなる事で実証されている。また図 7 に、水分に対するブロック性効果の評価に関する結果として、NMOST ランジスタにおけるホットキャリア信頼性評価の一例を示す。ゲートを 60 nm で加工し、ドレイン電圧を 7 V 印加したときのゲート電圧が 5 V の状態で 10000 秒間ストレスを測定した。O₂ プラズマ処理のみ或いは N₂ O プラズマ処理のみの条件に対し、N₂ O + O₂ プラズマ処理を施したものは、ホットキャリア信頼性が向上している事が分かる。

【0017】以上、ベース絶縁膜 (第一の層間絶縁膜) の水分に対するブロック性に関する向上の作用についてはプラズマ SiON 膜を、また上層膜に対するリフロー性 (濡れ性) に関する作用についてはプラズマ SiN 膜を例に説明したが、上記プラズマ SiON 膜、プラズマ SiN 膜、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜、アモルファス Si 膜等の絶縁膜について、各々この水分に対するブロック性及びリフロー性 (濡れ性) の両者の向上が得られる。また、平坦化膜としてリフロー SiO₂ を例に問題点及び発明の実施の形態を記述したが、本発明においては、平坦化層に例えば TEOS (テトラエチルオルソシリケート) 膜、TEOS-O₃ (テトラエチルオルソシリケート・オゾン) 膜、SOG (Spin On Glass) 膜、BPSG (Boron Phospho Silicate Glass) 膜、SiO₂ 膜等、一般の絶縁膜であればすべて適用可能である。尚、本発明では多層層間絶縁膜の積層数は 2 層以上であれば何層であっても構わないし、また上記ベース絶縁膜がその何層目に位置するかも問題ではなく、平坦化膜の下層としてベース絶縁膜があれば上記効果が得られる事は明らかである。

【0018】

【発明の効果】上述した様に、本発明によれば、多層の層間絶縁膜においてベース絶縁膜 (第一の層間絶縁膜)

上に被膜する絶縁膜の濡れ性が向上する事により、平坦化工程を追加なくとも良好な平坦性が確保され、上層配線の抵抗変化やショート不良がなく且つ良好な表面モフォロジーを有する半導体装置を提供する事が可能となるとともに、水分に対するブロック性が向上する事により、下層配線の抵抗変化やコロージョン発生或いは素子のホットキャリア信頼性の劣化を回避する事が出来る。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の製造方法における工程の一例を断面により示したものである。

【図 2】図 1 (f) の上面図であって、本発明に係る半導体装置の製造方法における加工後の上層配線を示したものである。

【図 3】本発明に係る半導体装置の製造方法における製造装置の一例を示したものであり、(a) は装置構成の概略図、(b) はプラズマ反応室 [図 3 (a) の 3 0 2 部の断面図]、(c) は減圧の熱 C V D 装置 [図 3 (a) の 3 0 7 部の断面図] である。

【図 4】表面プラズマ処理の時間設定について説明する為のグラフであってプラズマ処理時間と接触角の関係を示したものである。

【図 5】リフロー S i O₂ 膜の成膜時の温度設定に関するグラフで基板温度と接触角の関係を示したものである。

【図 6】本発明の効果を説明する為のグラフで、図 1 (本発明の実施の形態 1 , 2) 及び図 7 (従来例) の条件下における A l 配線ショート率を比較したものである。

【図 7】N M O S トランジスタにおけるホットキャリア信頼性評価の一例である。

【図 8】従来の半導体装置の製造方法における工程の一

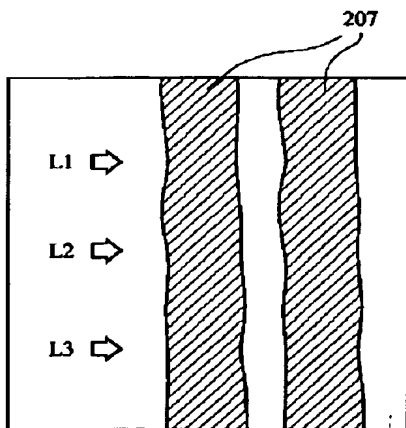
例を断面により示したものである。

【図 9】図 8 (e) の上面図であって従来の半導体装置の製造方法における上層配線を示したものである。

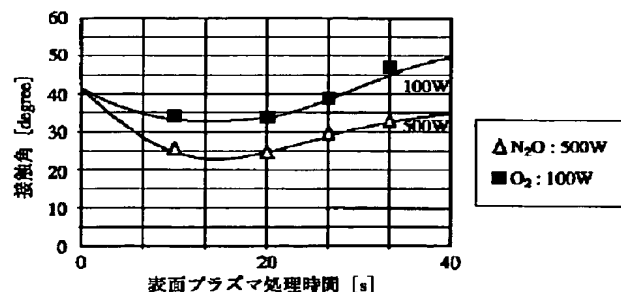
【符号の説明】

1 0 1	3 0 1	8 0 1	: 半導体基板
1 0 2		8 0 2	: 下層配線
1 0 3		8 0 3	: ベース絶縁膜 (第一の層間絶縁膜)
1 0 4 A			: N ₂ O プラズマ処理
1 0 4 B			: O ₂ プラズマ処理
8 0 4			: N ₂ O プラズマ処理若しくは O ₂ プラズマ処理
1 0 5		8 0 5	: 平坦化膜 (第二の層間絶縁膜)
1 0 6		8 0 6	: キャップ絶縁膜 (第三の層間絶縁膜)
1 0 7		8 0 7	
2 0 7		9 0 7	: 上層配線
3 0 2			: プラズマ反応室
3 0 3			: ウエハ搬送ロボットアーム
3 0 4			: サセプタ
3 0 5			: ガス導入口
3 0 6			: ロードロック室
3 0 7			: 減圧熱 C V D 処理室
3 0 8			: H ₂ O ₂ 導入口
3 0 9			: 排出口
3 1 0			: 上部電極 (シャワーヘッド)
3 1 1			: 下部電極
3 1 2			: R F 源
3 1 3			: チラー

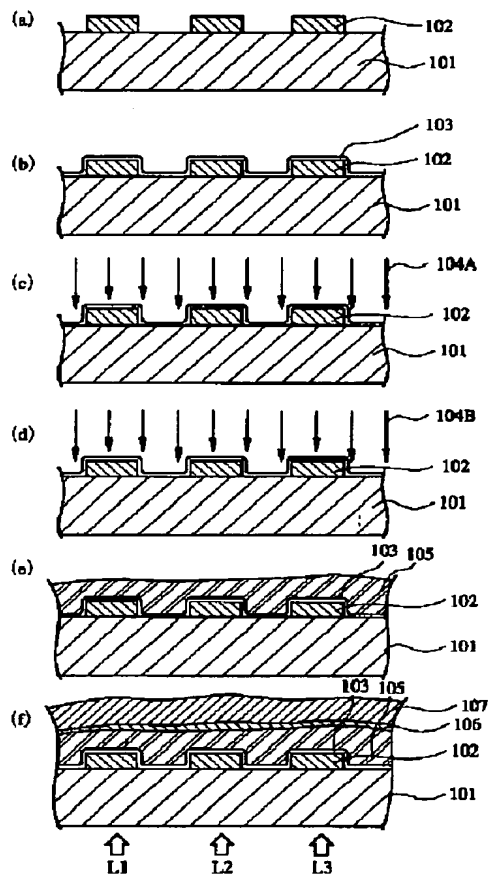
【図 2】



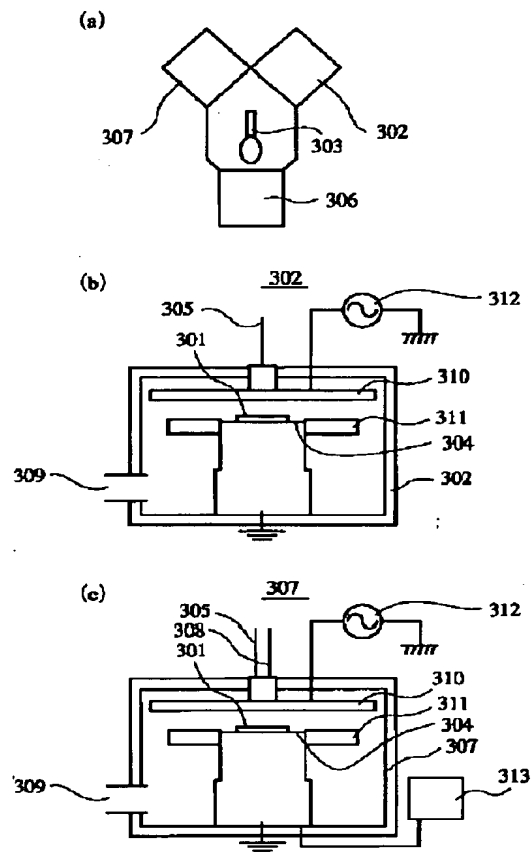
【図 4】



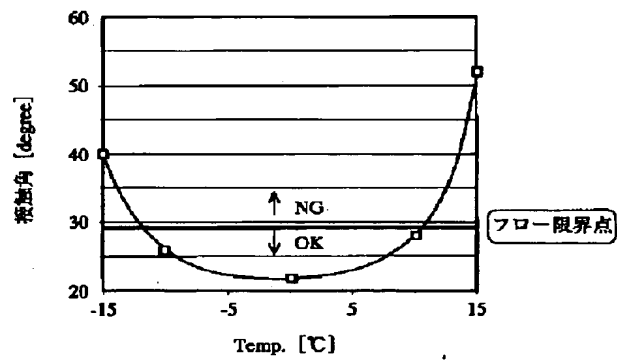
【図 1】



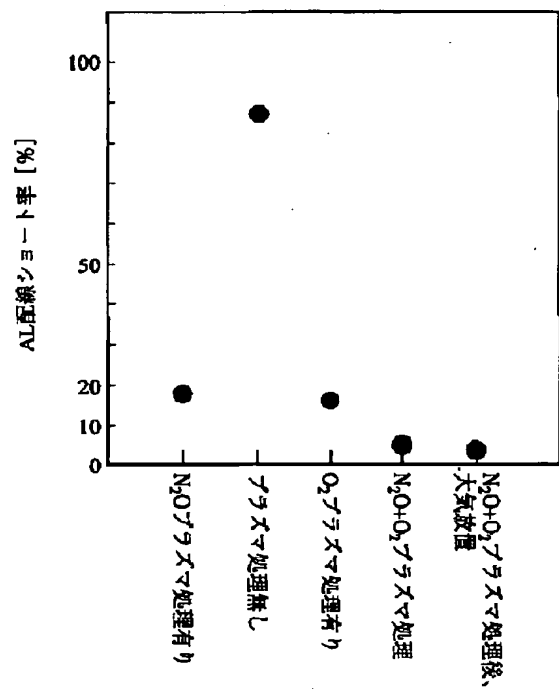
【図 3】



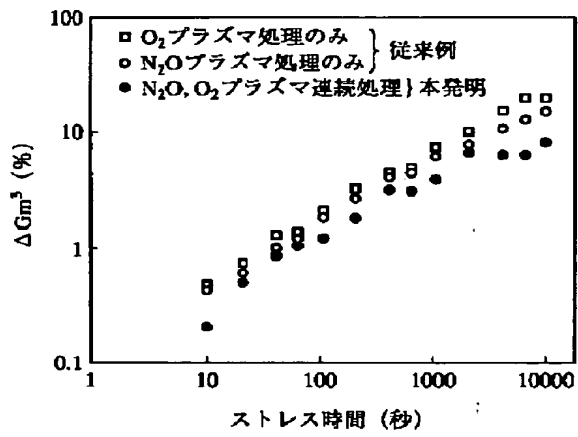
【図 5】



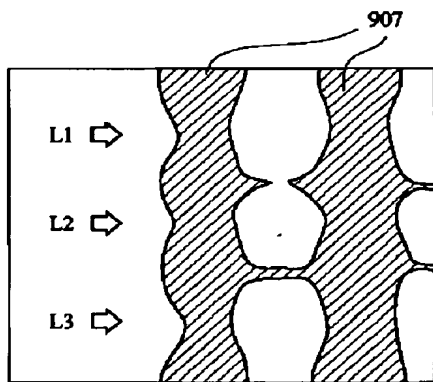
【図 6】



【図 7】



【図 9】



【図 8】

